

УДК 535-14

РЕАЛИЗАЦИЯ НА БАЗЕ FPGA АЛГОРИТМОВ ВЫЯВЛЕНИЯ ИСКАЖЕНИЙ ИЗОБРАЖЕНИЯ В РЕЗУЛЬТАТЕ КОМПРЕССИИ

© К. Ф. Лысаков, К. К. Облаухов, М. Ю. Шадрин

*Институт автоматизации и электрометрии СО РАН,
630090, г. Новосибирск, просп. Академика Коптюга, 1
E-mail: lysakov@ngs.ru*

Рассмотрена реализация алгоритмов сравнительного анализа качества телевизионного изображения. Для обеспечения возможности непрерывной работы в темпе поступления данных предложено использование платформы Xilinx Zynq-7000, совмещающей преимущества FPGA и процессора общего назначения. Предлагается программная архитектура алгоритмов сравнения качества видеосигнала методом измерения с полным эталоном.

Ключевые слова: качество телевизионного изображения, непрерывный контроль, FPGA, аппаратный комплекс.

DOI: 10.15372/AUT20200104

Введение. Оценка качества изображений в телевизионном вещании является актуальной задачей. Для оценки качества видеоматериалов и их передачи в области телевидения была разработана Рекомендация Международного союза электросвязи (МСЭ) МСЭ-R ВТ.1907 [1]. Существуют программные решения от компании Tektronix-Sentry, позволяющие быстро обнаружить контент, который выходит за пределы пороговых значений, принятых для видеоматериалов допустимого качества. Но эти решения, для полноценной функциональности которого необходим ПК с заданными характеристиками производительности, не позволяет сделать малогабаритное переносное устройство.

В данной работе предложен метод измерения с полным эталоном, схематически представленный на рис. 1, соответствующий указанным рекомендациям [1].

Для обеспечения функционирования устройства анализа ТВ-изображений в темпе поступления данных, реализующего указанный метод, предложено использовать процессорное устройство FPGA. Учитывая имеющиеся наработки и опыт применения различных семейств FPGA, решено в качестве базовой платформы для реализации алгоритмов обработки, обеспечения внешних каналов связи и управления использовать платформу Xilinx Zynq-7000 [2, 3]. Такая платформа позволяет совместить высокопроизводительную потоковую обработку данных на FPGA с высокоуровневым функционалом ARM-процессора, включающим окончательную интегральную оценку качества изображений, сетевое общение и управление.

Целью предлагаемой работы является создание программно-аппаратного решения для непрерывного сравнительного анализа качества телевизионного изображения в разных точках цепи передачи сигнала. Разработанный комплекс должен обеспечивать контроль качества видеосигнала как стандартного (SD 576i), так и высокого (HD 1080i) разрешений.

Предварительная обработка видеосигнала. В процессе анализа используются три кадра различного разрешения: исходный кадр (R0) субдискретизируется в 2 (R1) и 4 (R2) раза. Так, из кадра R0 с разрешением 1920×1080 пикселей получаются кадры R1 размерами 960×540 и R2 размерами 480×270 . Для дальнейшего анализа необходимо сопоставить последовательности кадров эталонного и анализируемого сигналов — синхронизировать. В силу специфики задачи считается, что анализируемый сигнал приходит с



Рис. 1. Схема анализа качества изображения

некоторой задержкой, при этом оба сигнала имеют одинаковое количество кадров и поступают с одинаковой скоростью. Это означает, что для синхронизации видеопотоков достаточно задержать эталонный сигнал на определённое время. Для задержки видеопотока необходим буфер, размер которого зависит от максимальной задержки в анализируемом видеотракте. В результате проведённого сравнительного анализа была выбрана максимальная задержка 20 секунд. В качестве меры соответствия используется среднеквадратическая разность (среднеквадратическое отклонение) между компонентами яркости (Y) кадров R0. Алгоритм проходит через все буферизованные кадры эталонной последовательности и находит кадр, имеющий наименьшую разность с текущим кадром анализируемой последовательности. Таким образом находится начальная задержка сигнала.

В силу ограниченной пропускной способности кадрового буфера данный процесс может занимать больше времени, чем время поступления одного кадра, поэтому невозможно производить полную синхронизацию видеопотоков каждого кадра. Для временной подстройки «на лету» используется метод градиентного спуска. При поступлении новых кадров осуществляется сравнение как текущих синхронизированных кадров, так и текущего анализируемого кадра с двумя предыдущими и двумя следующими кадрами эталона. Если предыдущий (или следующий) кадр показывает лучший результат в течение нескольких

кадров, происходит сдвиг в соответствующую сторону. Такой подход, с одной стороны, позволяет игнорировать ситуации, не ухудшающие качество сигнала (коррекция time-based), с другой стороны, сохраняет признаки временного ухудшения (выпадение кадров, повторение кадров) анализируемого сигнала.

Следующая операция — пространственное выравнивание. Согласно [1] требуется компенсация пространственного сдвига анализируемого сигнала в пределах ± 4 пикселя по обеим осям. Для вычисления сдвига также используется среднеквадратическая разность кадров размера R_0 . Данная операция требует 64 сравнения кадров, что также невозможно выполнить за время поступления одного кадра. Однако, исходя из задачи, пространственный сдвиг постоянен и не меняется в процессе анализа, поэтому его вычисление можно осуществлять только в начале анализа.

В итоге первоначальная синхронизация выглядит следующим образом.

1. При старте анализатора (включении, появлении сигнала) происходит однократный поиск временной задержки эталонного сигнала, затем — поиск пространственного сдвига и снова — поиск временной задержки уже с учётом сдвига. Таким образом, осуществляется первоначальная синхронизация.

2. В процессе работы происходит подстройка временного сдвига методом градиентного спуска. Данная подстройка «прозрачна» для последующих алгоритмов анализа.

В случае сбоя синхронизации (например, при смене источников сигнала «на лету») существует возможность запустить первоначальную синхронизацию вручную.

Результатом предварительной обработки являются два потока кадров разного разрешения (R_1 , R_2), синхронизированных между собой. Данные потоки используются для анализа качества по трём признакам: локального сходства и различия (simple), глобального пространственного ухудшения — блочности (blockness), глобального временного ухудшения (jerkiness). Из полученных признаков выводится итоговая интегральная оценка качества изображения.

Подробно алгоритмы анализа описаны в [1]. Следует отметить, что исходные алгоритмы вычисляют оценку, анализируя всю последовательность кадров. Для анализа потокового видеосигнала необходимо применять усреднение, для чего решено использовать бегущее среднее: анализатор вычисляет характеристики при поступлении кадра, итоговая оценка строится по N последним кадрам.

Анализатор построен на базе расширяемой вычислительной платформы Xilinx Zynq-7000, в которой совмещены двухъядерный процессор ARM Cortex-A9 MPCore, программируемая логика с низким энергопотреблением и аппаратная IP-периферия. Данная платформа позволяет объединить высокопроизводительную потоковую обработку (на базе FPGA) с высокоуровневым функционалом ARM. Общая схема анализатора приведена на рис. 2.

Процессор ARM имеет собственную память, доступную для FPGA. Однако её объём и пропускной способности недостаточно для буферизации видеопотоков. Кроме того, возможно подключение внешней памяти напрямую к FPGA. В качестве памяти для буфера кадров используется память DDR3 формфактора SO-DIMM. Стандартный контроллер памяти Xilinx поддерживает модули SO-DIMM объёмом до 8 ГБ, что достаточно для хранения 20 секунд видеоданных в формате 1080p60 4 : 2 : 2.

В качестве источников видеосигналов выступают интерфейсы SMPTE SDI. Платформа Zynq-7000 позволяет реализовать приёмы сигналов SD-SDI, HD-SDI и 3G-SDI. В ходе работы были использованы интерфейсы SD-SDI (576i, телевидение стандартной чёткости) и HD-SDI (1080i, телевидение высокой чёткости). При реализации алгоритмов заложена возможность анализа видеостандарта 1080p (3G-SDI).

Для отображения информации и управления устройством используются знакосинтезирующий дисплей и клавиатура, управляемые ARM. Кроме того, устройство оснащено

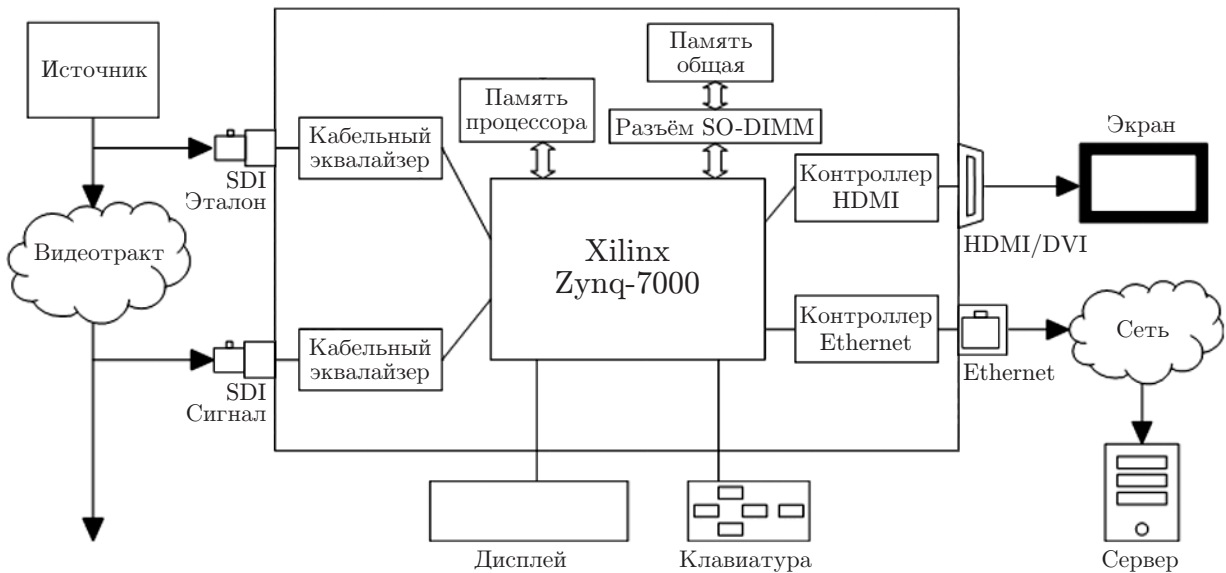


Рис. 2. Функциональная схема анализатора

интерфейсом 1000BASE-T Ethernet для управления и передачи статуса по сети, а также интерфейсом HDMI, подключённым к FPGA, для отображения информации на внешнем мониторе.

Для загрузки программного обеспечения хранения настроек ПО и «прошивки» FPGA используется карта памяти стандарта SD.

Реализация алгоритмов обработки. В процессе анализа алгоритмов было выяснено, что наиболее трудоёмкими являются алгоритмы вычисления первичных характеристик и синхронизации потоков. При этом алгоритм вычисления итоговой оценки требует выполнения разнотипных операций и содержит множество ветвлений. Вследствие этого было решено производить вычисление первичных характеристик средствами FPGA, а итоговой интегральной оценки — в программе на CPU.

На рис. 3 представлена блок-схема программной архитектуры, реализованной на базе FPGA. Входные видеосигналы SDI принимаются с помощью встроенных трансиверов и IP-ядер Xilinx. После этого происходит пространственный сдвиг кадра. Полученный поток поступает в модуль DMA, который производит запись кадров в циклический буфер во внешней памяти. Кроме этого, DMA обеспечивает вывод видеосигнала на интерфейс HDMI. Заложена возможность выбора выводимого изображения: эталонного, анализируемого или их разности.

Внешняя память DDR3 работает на частоте 400 МГц (PC-6400), а блоки анализатора и DMA — на частоте 200 МГц. Контроллер памяти использует стандартный интерфейс AXI шириной 256 бит. Таким образом, минимальный обрабатываемый объём составляет 16 пикселей в формате 4 : 2 : 2. Данный факт накладывает определённые ограничения на реализацию алгоритмов анализа. Взаимодействие между памятью, DMA, синхронизатором и анализатором обеспечивается стандартным блоком AXI-Interconnect (IC), предоставляющим доступ к памяти и арбитраж шины AXI.

Модуль синхронизации (SYNC) написан с применением технологии High Level Synthesis (HLS). На вход данный модуль принимает адреса текущих кадров в буфере и сигналы вертикальной синхронизации, а на выходе выдаёт адреса согласованных кадров и общий сигнал вертикальной синхронизации (сигнал появления нового кадра).

Анализатор (ANALYZER) состоит из трёх модулей, соответствующих этапам вычисления первоначальных характеристик, написанных с применением HLS: simple_analyzer,

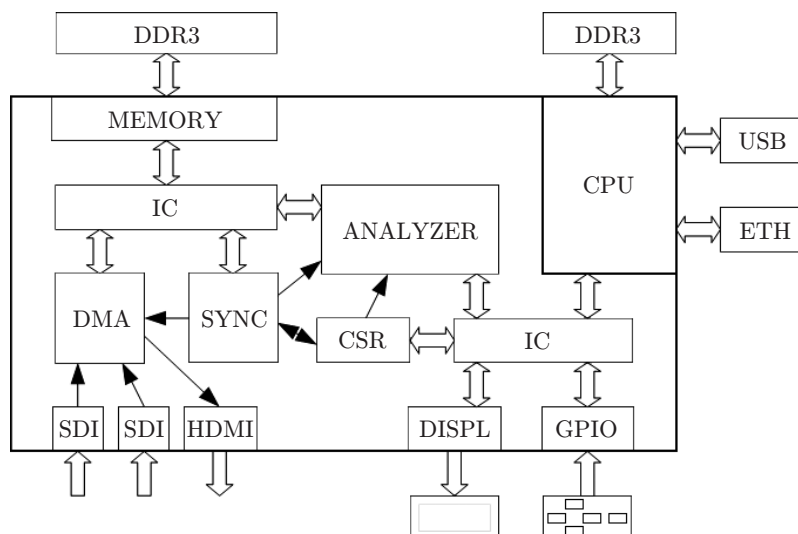


Рис. 3. Блок-схема внутренней архитектуры

blockness_analyzer, jerkiness_analyzer. Особенностью реализованных алгоритмов является активное использование чисел с плавающей запятой одинарной точности (single-precision floating point). Доступ к внешней памяти осуществляется через локальный интерконнект (IC). Каждый модуль запускается по сигналу поступления нового кадра и работает независимо от других. Анализаторы гарантированно вычисляют характеристики за меньшее время, чем интервал между кадрами. Результаты работы помещаются в буфер для последующей передачи на PS.

Работа анализатора. Центральный процессор в Zynq может взаимодействовать с FPGA посредством интерфейса AXI (GP AXI), управляемого процессором. К данному интерфейсу через разветвитель подключены: контроллер дисплея, контроллер GPIO для клавиатуры, модуль регистров (CSR) для управления анализатором, а также контроллер для передачи характеристик от анализатора. Процессор содержит в себе контроллер DMA, позволяющий предавать данные через GP AXI без затрат процессорного времени.

Программное обеспечение работает под управлением Linux (Yocto Linux). Ядро Linux включает в себя стандартные драйверы для поддержки клавиатуры, DMA и Ethernet, а также предоставляет интерфейс пользовательским приложениям к CSR и контроллеру дисплея. Однако для передачи характеристик в режиме DMA в пользовательское приложение был разработан драйвер.

Приложение анализатора написано на C++, запускается как фоновый пользовательский процесс и обеспечивает управление FPGA-анализатором, сбор характеристик и подсчет итоговой оценки, а также предоставляет пользовательский интерфейс. Кроме того, написан модуль (агент) для процесса net-snmp, реализующий передачу статуса (состояние входов SDI, оценка качества) через стандартный сетевой протокол SNMP. Это позволяет использовать различные средства мониторинга для получения оценки и журналирования событий.

Заключение. Все предложенные алгоритмы, архитектурные и аппаратные решения были реализованы и протестированы. Представлен макет устройства для непрерывного сравнительного анализа качества телевизионного изображения в разных точках цепи передачи сигнала. Вычисление характеристик качества сигналов производится с учётом рекомендации МСЭ-R ВТ.1907. Разработанное устройство обеспечивает контроль видеосигналов на интерфейсах SD-SDI (576i) и HD-SDI (1080i), а также предусматривает возможность контроля формата 3G-SDI (1080p).

В дальнейшем планируется сертификация разработанного программно-аппаратного комплекса как средства измерения для телевещательного оборудования.

СПИСОК ЛИТЕРАТУРЫ

1. **Рекомендация МСЭ-R ВТ.1907** Методы объективного измерения воспринимаемого качества изображения для радиовещательных применений с использованием ТВЧ при наличии полного эталонного сигнала. Женева, 2012.
2. **Lysakov K. F., Shadrin M. Yu.** Fpga based hardware accelerator for high performance data-stream processing // Pattern Recognit. Image Anal. 2013. **23**, N 1. P. 26–34.
3. **Лысаков К. Ф., Шадрин М. Ю.** Аппаратно-программное решение для обработки потоков видеоданных в формате HD-SDI в составе ПК // Сб. ст. региональной науч.-практ. конф. «Многоядерные процессоры, параллельное программирование, ПЛИС, системы обработки сигналов». Барнаул, Россия, 28 февр., 2012. С. 84–89.

Поступила в редакцию 24.06.2019

После доработки 18.07.2019

Принята к публикации 25.07.2019
